

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-305110
(P2002-305110A)

(43) 公開日 平成14年10月18日 (2002. 10. 18)

| (51) Int.Cl. ⁷ | 識別記号 | F I | サーチコード* (参考) |
|---------------------------|------|---------------|--------------|
| H 0 1 F 17/00 | | H 0 1 F 17/00 | B 5 E 0 7 0 |
| 17/02 | | 17/02 | 5 F 0 3 8 |
| H 0 1 L 21/822 | | H 0 1 L 27/04 | L |
| 27/04 | | | |

審査請求 有 請求項の数 8 O L 外国語出願 (全 21 頁)

(21) 出願番号 特願2002-32034(P2002-32034)
(22) 出願日 平成14年2月8日 (2002. 2. 8)
(31) 優先権主張番号 0 1 0 1 8 8 1
(32) 優先日 平成13年2月12日 (2001. 2. 12)
(33) 優先権主張国 フランス (F R)

(71) 出願人 591035139
エスターミクロエレクトロニクス ソシエ
テ アノニム
フランス国, 92120 モンルージュ, プー
ルパール ロマン ロラン, 29番地
(72) 発明者 フレデリク ルメール
フランス国, 38120 サン エグレーヴ,
アヴニユ ドゥ ルローブ, 14番地
(74) 代理人 100074930
弁理士 山本 恵一

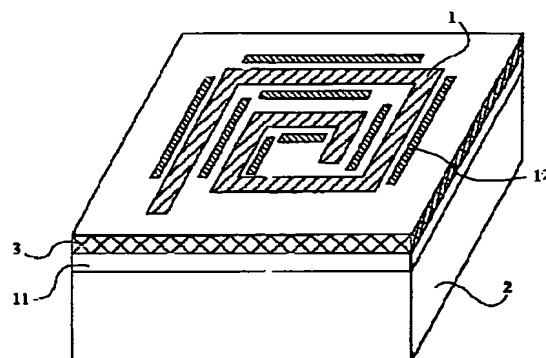
最終頁に続く

(54) 【発明の名称】 集積回路インダクタンス構造

(57) 【要約】

【課題】 既知のインダクタンス構造における問題点を克服できる新規な集積回路インダクタンス構造を提供する。

【解決手段】 シリコン基板と、導電性トラックの平面巻き線と、該巻き線の下のエッチングされていない抵抗層と、巻き線と前記抵抗層の間の絶縁層と、最も近い巻き線部分に個別に平行であり、アース及び前記抵抗層に電気接続される不連続導電性部分とを含む、集積回路インダクタンス構造を提供する。



【特許請求の範囲】

【請求項1】 集積回路インダクタンス構造において、シリコン基板(2)と、導電性トラック(1)の少なくとも1つの平面巻き線と、該巻き線の下のエッチングされていない抵抗層(11)と、巻き線と前記抵抗層の間の絶縁層(3)と、最も近い巻き線部分に個別に平行であり、アース及び前記抵抗層に電気接続される不連続導電性部分(12)、とを含む、集積回路インダクタンス構造。

【請求項2】 前記導電性部分(12)を巻き線(1)の突起部の下にほとんど配列しないことを特徴とする、請求項1に記載の集積回路インダクタンス構造。

【請求項3】 導電性部分をそれぞれ、最も近接した巻き線(1)の部分(13)に可能な限り近く配置することを特徴とする、請求項1に記載の集積回路インダクタンス構造。

【請求項4】 巻き線の部分(13)をそれぞれその長さに沿っていくつかの導電性部分(12)に関連づけることを特徴とする、請求項1に記載の集積回路インダクタンス構造。

【請求項5】 前記導電性部分(12)をいくつかの導電性トラックにより接点(M)に接続し、インダクタンスにより誘導される起電力の結果がほぼゼロになるように導電性トラックそれぞれを配列することを特徴とする、請求項1に記載の集積回路インダクタンス構造。

【請求項6】 導電性トラックそれぞれは、インダクタンス(1)のほぼ対称軸であることを特徴とする、請求項5に記載の集積回路インダクタンス構造。

【請求項7】 前記導電性部分(12)を、インダクタンスを形成するトラック(1)と同じ金属層に形成することを特徴とする、請求項1に記載の集積回路インダクタンス構造。

【請求項8】 前記抵抗層(11)は 10^{16} から 10^{19} atoms/cm³の範囲のドーピングレベルを有し、好ましくは約 10^{17} atoms/cm³であることを特徴とする、請求項1から7のいずれかに記載の集積回路インダクタンス構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路分野に関し、より詳細には半導体基板の上に形成されるインダクタンスに関する。

【0002】

【従来の技術】図1は、半導体基板2の上に形成される従来のインダクタンス1の第一の例を示す極めて簡素な斜視図である。インダクタンス1は、導電性要素を絶縁層(絶縁体3)の上に付着することによって得られる、一般的に同心のいくつかの巻線またはうず巻きを含む。

巻線の数はいくつでも良い。例えば酸化シリコン等の絶縁層3は半導体基板2の上、又は後ろから2番目のメタライゼーションレベル(図示せず)の上に配列される。このメタライゼーションレベルは他の構成要素の形成後この基板に加えられ、それらが例えばトランジスタなどのように集積化される。論議を簡素化するため、基板2は下部表面で接地されると仮定する。

【0003】図2は図1におけるインダクタンス1の等価回路を示す図である。インダクタンス1は完全なインダクタンスLの形で表される。このインダクタンスLは、図1における巻き線の端に相当する2つの端子5と6の間の抵抗R_sと直列である。絶縁体3はインダクタンスと基板の間の漂遊容量(stray capacitance)Cを形成する。更に、基板2には抵抗性があり、基板の上部表面と下部表面の間の抵抗Rで表される。抵抗Rは、インダクタンスLの反対側にある容量Cのそれぞれの電極に接地する。

【0004】図1に説明するようなインダクタンスの問題点は、その損失が高いことである。インダクタンスが可変電流を伝導する場合、それらの損失が抵抗R_s、容量C及び抵抗Rを介して生じてしまい、インダクタンスのQ(quality factor)が激減するという不都合が生じる。このQは抵抗損失によって決まる。即ち直列抵抗R_sと、基板によって接地接続にもたらされる抵抗によって決定される。

【0005】インダクタンスのQを増加させるための第一の解決策は、インダクタンスの直列抵抗R_sを最小にすることである。そのためには、平面インダクタンス1を構成する導電性トラックの幅を増加させる必要があるが、そうすると絶縁体3の漂遊容量の値が増加してしまい、よって基板における抵抗損失の値が増加するという結果をもたらす。従ってインダクタンスが目的としている動作周波数によっては妥協が必要である。

【0006】インダクタンスのQを増加させるためのもう一つ別の既知の解決策は、欧州特許出願EP-A-0,780,853に説明されており、参考として本稿に組み入れて考察する。この特許出願において、シリコン基板上のインダクタンス構造が提供される。シリコン基板は、インダクタンスと基板の間に位置する導電性平面を含む。基板及びインダクタンスから絶縁されたこの導電性平面を、アースまたは回路のコールドポイントに接続し、インダクタンスと半導体基板の間に「遮蔽」または「静電気スクリーン」を確立する。導電性平面にうず電流を起こすことによって損失が生じるのを避けるために、上記出願では導電性平面の切り分けを行う。

【0007】上記出願の一例による、導電性平面切り分け型のインダクタンスを図3に説明する。

【0008】図3はうず巻きの形状をした前述のインダクタンス1を示す簡素な斜視図であり、そのうず巻きは導電性物質から成る1つまたはいくつかの同一平面上に

ある。インダクタンス1は絶縁層8によって導電性平面7から離されている。導電性平面7それ自体は絶縁層(絶縁体3)の上に付着され、絶縁体3を基板2またはメタライゼーションレベルの上に配置する。導電性平面7は、横ストリップ10に接続された縦ストリップ9に切り分けられる。図3に説明する例において、縦ストリップ9を導電性平面7の両端の横ストリップに接続することによって、インダクタンス1の両側に配置する。導電性平面7の残りの導電性要素は接地される。従って、うず電流による影響は激減するが、図3における構造では不都合が生じてしまう。

【0009】第一の問題点は、基板2の上の一般的な絶縁体の厚さに対して、図1の場合インダクタンスと導電性平面の間で得られる絶縁体の厚さが減少してしまうことである。

【0010】事実、導電性平面は、インダクタンスと基板の間に挿入される金属層またはポリシリコン層のどちらでもよい。その導電性層が接地されている場合、絶縁層の厚さは減少し、インダクタンスと基板の間の漂遊容量、またはインダクタンスと導電性層の間の漂遊容量は増加してしまう。

【0011】また導電性平面は極めて重くドーパされた層である。この導電性平面はシリコンの中に拡散され、その形成には誘電エッチング(活性素子をそれぞれ分離する厚い酸化物(LOCOS))が必要である。従ってインダクタンスとこの拡散された層の間の絶縁体の厚さは結局小さくなる。

【0012】従って、漂遊容量の値を最小化することが一般的に要求されているのに対し、インダクタンスとアースの間の漂遊容量が増大するという結果を招いてしまう。

【0013】図3に示す構造のもう1つ別の問題点は、インダクタンス1に可変電流が流れると、ストリップとインダクタンスの間に存在する電磁結合による起電力が、ストリップ9のそれぞれに現れてしまう点である。同様に、横ストリップ10とインダクタンス1の間の電磁結合による起電力は、この横ストリップに現れる。これらの起電力によって損失が生じてしまう。事実、誘導された起電力により、ストリップ9及び10のポイントそれぞれの電圧は、アースに関しゼロではない。これにより、絶縁体として作用する層8と基板のオーム抵抗のために、容量を介して損失が生じてしまう。これらのオーム容量とオーム抵抗は、導電性平面7のポイントそれぞれにおいて異なって分布する。

【0014】これら全ての損失により図3の構造における作用は不都合となり、インダクタンスのQは低くなる。

【0015】上述の欧州特許出願の提案する解決策が成果を出すためには、インダクタンス1を形成する導電性トラックの下に、導電性平面のストリップの大部分を配

置する必要がある。

【0016】上述の特許出願は導電性平面の別の切り分け方法を提供している(この特許出願の図7、9、12を参照)。前記出願の提供する全ての例では、インダクタンスはほとんど導電性ストリップの上に配置される。しかしながら、導電性平面部が残ってしまい、誘導された高い起電力によって上述のような好ましくない影響が生じてしまう。

【0017】

【発明が解決しようとする課題】本発明の目的は、既知のインダクタンス構造における問題点を克服できる新規な集積回路インダクタンス構造を提供することである。

【0018】更に詳細な本発明の目的は、漂遊容量が低いという利点と、アースアクセスオーム抵抗が低いという利点を組み合わせた解決策を提供することである。

【0019】本発明の目的はまた、インダクタンス動作に関連する損失を軽減または最小化できる解決策を提供し、特に、起こり得る誘導された起電力を軽減または最小化できる解決策を提供することである。

【0020】

【課題を解決するための手段】これらの目的や他の目的を達成するため、本発明は、シリコン基板と、導電性トラックの少なくとも1つの平面巻き線と、該巻き線の下のエッチングされていない抵抗層と、巻き線と前記抵抗層の間の絶縁層と、最も近い巻き線部分に個別に平行であり、アース及び前記抵抗層に電気接続される不連続導電性部分とを含む、集積回路インダクタンス構造を提供する。

【0021】本発明の実施形態によると、前記導電性部分を巻き線の突起部の下にほとんど配列しない。

【0022】本発明の実施形態によると、導電性部分をそれぞれ、最も近接した巻き線部分に可能な限り近く配置する。

【0023】本発明の実施形態によると、巻き線部分をそれぞれその長さに沿っていくつかの導電性部分に関連づける。

【0024】本発明の実施形態によると、前記導電性部分をいくつかの導電性トラックにより接点に接続し、インダクタンスにより誘導される起電力の結果がほぼゼロになるように導電性トラックそれぞれを配列する。

【0025】本発明の実施形態によると、導電性トラックそれぞれは、インダクタンスのほぼ対称軸である。

【0026】本発明の実施形態によると、前記導電性部分を、インダクタンスを形成するトラックと同じ金属層に形成する。

【0027】本発明の実施形態によると、前記抵抗層は 10^{16} から 10^{19} atoms/cm³の範囲のドーピングレベルを有し、好ましくは約 10^{17} atoms/cm³である。

【0028】

【発明の実施の形態】本発明の特徴は、インダクタンス1の下における導電性平面の使用を排除することである。より詳細には、本発明では抵抗層を使用してインダクタンスの漂遊容量における低いアーマチュアを形成する。このアーマチュアはアースに接続される。本発明によると、このアース接続は抵抗層と組み合わせられた導電性トラックにより実施される。導電性トラックはインダクタンス1の上に大部分配置されない、という特徴を有する。

【0029】図4は、本発明によるインダクタンス構造の実施例を示す簡素な斜視図である。

【0030】前述のようにインダクタンス1は、絶縁層3の上に平面巻き線の形で付着される導電性トラックから形成される。この本発明の構造は図1に示す従来ケースの構造と似ている。

【0031】本発明の特徴は、絶縁層3の下に中くらいにドーパした半導体層11を備えることである。半導体層11は一般的に、その下に位置するシリコン基板2よりも重くドーパされる。本発明では、集積回路構造において基板よりも重くドーパされた層を利用している。この層は一般的にエピタキシャル層であり、そこでは重くドーパされた領域が形成される。この重くドーパされた領域は、MOSTランジスタのソース及びドレイン、バイポーラランジスタのエミッタ、NPNトランジスタコレクタウェル（シンカー）を形成するのに使用される。

【0032】半導体層11とインダクタの間の絶縁体の厚さは最大である。従って媒介物、金属又はポリシリコン層、又は厚い酸化物エッチング（LOCOS）を必要とする極めて重くドーパされた拡散された層、等が使用される場合よりも、インダクタンスの漂遊容量は小さくなる。

【0033】図5は本発明によるインダクタンス構造を示す部分断面図であり、図6はそのインダクタンス構造の等価図である。この等価図は、容量素子や抵抗素子を記号表記している図4及び図5より推論することができる。

【0034】従来技術において、絶縁層3はインダクタンス1のうず巻き部分13の下に容量素子Cを導入する。これらの容量素子は、うず巻き部分をそれぞれ半導体層11に接続する。半導体層11は導電性部分12によってアースに不連続的に接続する。導電性部分12をうず巻き部の上にしなないことによって、インダクタンス1の部分に平行に配列する。従って、半導体層11は、うず巻き部分13とアース素子12それぞれの間に横抵抗Rを導入する。図6に説明するように、異なる横抵抗は並列に組み合わせられる。従ってドーピングによる半導体層11の抵抗はかなり低く、横抵抗が基板の縦抵抗と並列に組み合わせられることは問題にはならない。しかしながら、半導体層11は連続的であるので、うず電

流の発生を避けるためには、抵抗Rはかなり高くなければならないという妥協が必要である。

【0035】本発明によると、半導体層11は次のようなドーピングレベルを有するように選択される。即ち、BiCMOS技術において基板ドーピングに相当する $10^{15} \text{ atoms/cm}^3$ よりも大きいドーピングレベルと、NPNコレクタウェルや、MOSTランジスタのソース及びドレインや、NPNトランジスタのエミッタのドーピングに相当する $10^{20} \text{ atoms/cm}^3$ よりも小さいドーピングレベルである。好ましくは、半導体層11は 10^{16} から $10^{19} \text{ atoms/cm}^3$ の範囲内のドーピングレベルを有し、より好ましくは約 $10^{17} \text{ atoms/cm}^3$ のドーピングレベルを有する。本発明で使用するよう備えられるエピタキシャル層、またはNまたはPウェルは一般的に、厚い酸化物エッチングをせず、約 10^{16} から $10^{17} \text{ atoms/cm}^3$ のドーピングレベルを有する。エピタキシャル層、またはNまたはPウェルにおいて基礎MOSTランジスタが形成される。

【0036】本発明のもう1つ別の特徴は、横抵抗をアースに接続する機能を持つ導電性部分12を、インダクタンス1に対しほとんど垂直にして、外側に配列することにより、漂遊容量の増加を避けることである。しかしながら、導電性部分12をインダクタンス部分の下に備えることも可能である。

【0037】図4に示すように、これらの導電性部分12は好ましくは、インダクタンス1を構成するうず巻き部分13に関して幅が狭くなっている。

【0038】本発明の利点は、インダクタンスを備える集積回路構造において、エピタキシャル層を利用する点である。

【0039】本発明の別の利点は、インダクタンス1のうず巻きの上で導電性層の切り分けを避けることができる点である。従って、本発明によると、集積回路多層体の与えられた厚さに対し、絶縁層3の厚さを比較的高く保つことが可能になる。

【0040】図7は本発明による実施形態を上から見た簡素な図であり、インダクタンス1のうず巻き部分13に平行に備えられる不連続導電性部分12の、好ましい接地様態を詳細に説明する図である。

【0041】本実施形態において、導電性部分12の長さは、考察中の直線うず巻き部分13の両側には伸びない。導電性部分12は、直線うず巻き部分13の1つにつき3箇所ずつ選択して分布する。アースとの接続のための接触ポイントMを、インダクタンス1の中心に相当するポイントOに導電性トラックMOによって接続することにより、導電性トラックMOが交差する導電性部分12とポイントMを接続する。別の多様な導電性トラックもポイントOを交差し、少数の導電性部分12を接続する。従ってトラックMOとトラックONの伸張を3つ

の要素12に接続する。トラックMONに垂直なトラックROSは別の部分に接続する。同様に、図7において対角線で表されるトラックVOW及びトラックTOUを残りの導電性部分に接続することによりインダクタンス1の頂点を囲む。

【0042】好ましくは、これらの導電性トラックの幅は最小であり、そのトラックが有することのできる最大許容抵抗に耐えることができる。

【0043】アースと相互接続するトラックと、うず巻き部分を囲む導電性部分は直線線分に限定せず、導電性部分12に効率よく接続するように配列することができる。

【0044】更に、接続点Oは全ての相互接続トラックに共通であり、相互接続トラックはトラックOMによりアース接触ポイントMに全て電気接続される。実際、トラックOMはその他のトラックよりも幅が広く、必要であれば残留電流をうず巻きの外側へ効率よく排出する。

【0045】導電性部分12を接続する導電性トラックは、導電性トラックに誘導される起電力の結果がほぼゼロになるように配列が選択される。導電性部分12のサイズが小さいという事実によって、うず電流の問題点を実際に解決することができる。あとは誘導された起電力による残された問題のみ考察すればよい。

【0046】一般的に、可変電流 i の流れる第二の導体によって、第一の導体に誘導される起電力の値は、 $e = -M \cdot di/dt$ で表される。 M は2つの導体間の相互インダクタンス係数を表し、 di/dt は第二導体を流れる電流 i の時間に沿った変化を表す。

【0047】2つの平行直線導体について、相互インダクタンス係数は導体の長さとその2つを離す距離との関数であり、導体の長さが増加し、その2つの間の距離が小さくなると、 M の値はますます高くなる。もし導体が平行ではなく、いくらか角度を成す場合、相互インダクタンス係数はその2つの導体によって形成される角度のコサインに比例する。最後に、2つの導体が垂直の場合（角度 90° ）、相互インダクタンス係数はゼロである。

【0048】従って、導電性トラックに誘導される起電力を軽減し、インダクタンス1によって被られる損失を軽減するために、3つの型の特徴を可能な限り実行する。

【0049】第一の特徴によると、導電性相互接続トラック（MON、ROS）はうず巻き部分13に垂直に交差し、その結果、相互インダクタンスをゼロにし、更に誘導された起電力もゼロにすることができる。

【0050】第二の特徴によると、相互接続うず巻きはそれぞれ、少なくとも2つのうず巻き部分13に平行であり、その間隔は均等である。このことは、これらのトラックを直線うず巻き部分13それぞれの中心と角に配置することに等しい。インダクタンスのうず巻きそれぞ

れは、同じ絶対値の電流及び逆方向の電流を誘導する部分を含んでいるので、導電性トラックはうず巻き部13を備えた相互インダクタンスを表す。このうず巻き13は、一方はプラスの、もう一方はマイナスの2つの構成要素から成る。うず巻き部分の数が両側で同じ場合、この2つの構成要素は引き算し合い、完全に打ち消しあう。

【0051】第三の特徴によると、インダクタンスの頂点に使用される相互接続トラックを、うず巻き部分によって形成される角度の二等分線に沿って配列する。これらのうず巻き部分に、反対方向の電流を流し、即ち、それぞれうず巻きが形成する角度の頂点方向へ、または反対方向へ向かって流すと、これらのうず巻き部分より生じる相互インダクタンス、及び考察中のトラックまたはトラック部分はゼロになる。また同様に、考察中のトラックまたはトラック部分に誘導された結果生じる起電力もゼロになる。

【0052】従って本発明の構造によると、基板より重くドープされた平面のアースに様々な導電性トラックが接続され、これらの導電性トラックに誘導される起電力の結果はゼロまたはゼロに近くなる。実際、インダクタンスが完全に対称な場合、上述の構造によって導電性トラックMON、ROS、TOU、VOWに誘導される起電力は、完全に補償することができる。

【0053】図7に説明するインダクタンスの構造はもちろん、本発明のほんの一例に過ぎず、同業者が容易に考え得る様々な変更、修正、及び改良が可能である。特に、図の例は正方形インダクタンスを示している。もちろん本発明は、基板より重くドープされた半導体層と、この半導体層とアースを接続している不連続導電性部分12とを使用するよう配慮すれば、インダクタンスの形状が何であれ適用可能である。これらの導電性部分はほとんど巻き線の上にしないように選択する。

【0054】更に、インダクタンスうず巻きが、円形またはらせん形状で中心を有する場合、導電性部分12は四角形状を保つことができる。しかしながら、これはうず巻きの中心に相当する中心を持つ半径によって限定される台形である。これらの要素は放射状に配列され、中心への接続は放射状に配列された導電性トラックによってなされ、損失が最小である完全対称構造を備える。

【0055】更に、導電性部分12は半導体層11の上を示されているが、半導体層11のアース接続は導電性部分の下に配置することによって実施できる。同様に、導電性部分12の相互接続トラックは適応的に任意の層に形成され、この層選択は同業者の技術範囲内である。

【0056】最後に、本発明は単一平面でのインダクタンスに関して述べてきたが、前記インダクタンスは、直列または並列に接続された複数の導電層において形成することも可能である。

【0057】このような変更、修正および改良は、本開

示の一部を構成するものであり、本発明の趣旨および範囲に包含されるものである。したがって以上の説明は単に例示を目的としたものであって、本発明を限定しようとするものではない。本発明は、特許請求の範囲およびその等価物の定義によってのみ限定される。

【図面の簡単な説明】

【図1】従来技術による導電性基板上に付着されたインダクタンスを示す図である。

【図2】図1におけるインダクタンスの等価回路を示す図である。

【図3】従来技術による半導体基板上に付着された別のインダクタンス構造を示す図である。

【図4】本発明の実施形態によるインダクタンス構造を示す簡素な斜視図である。

【図5】図4におけるインダクタンスの部分断面図である。

【図6】図4におけるインダクタンス構造の等価回路を示す図である。

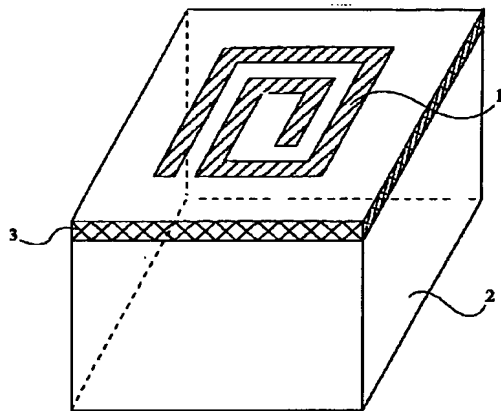
【図7】本発明の実施形態によるインダクタンス構造を

上から見た図である。

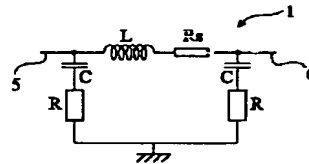
【符号の説明】

- 1 インダクタンス
- 2 半導体基板
- 3 絶縁体
- 5、6 端子
- 7 導電性平面
- 8 絶縁層
- 9 縦ストリップ
- 10 横ストリップ
- 11 半導体層
- 12 導電性部分
- 13 うず巻き部分
- L 完全なインダクタンス
- R_s 、 R 抵抗
- C キャパシタンス
- M 接触ポイント
- MON、ROS、TOU、VOW 導電性トラック
- O 中心ポイント

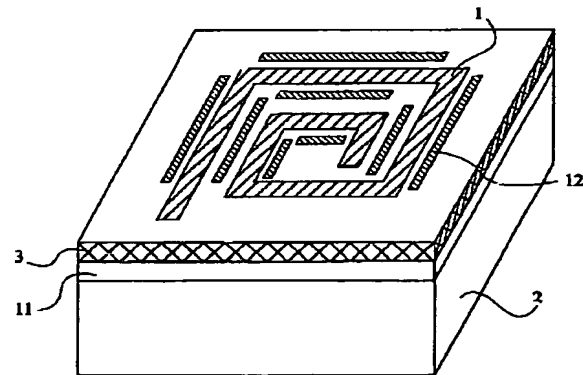
【図1】



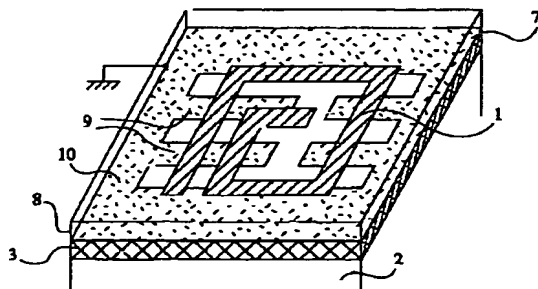
【図2】



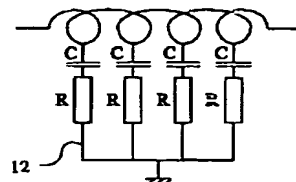
【図4】



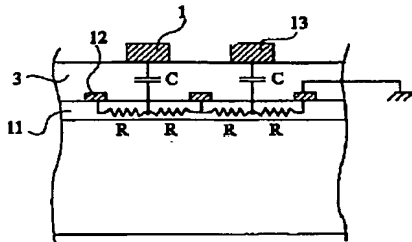
【図3】



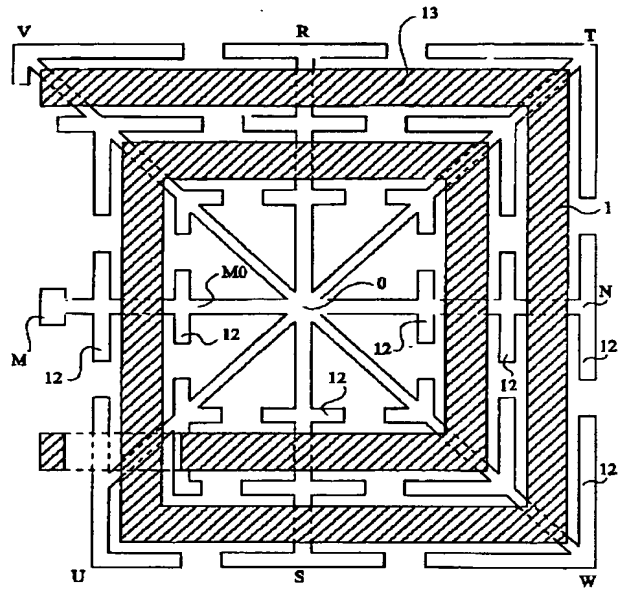
【図6】



【図5】



【図7】



フロントページの続き

Fターム(参考) 5E070 AA01 CB12
5F038 AR01 AR27 AZ04 BH10 CA02
EZ14 EZ20

【外国語明細書】

1 Title of Invention

INTEGRATED INDUCTANCE STRUCTURE

2 Claims

1. An integrated circuit inductance structure, including:
 - a silicon substrate (2);
 - at least one planar winding of a conductive track (1);
 - a resistive layer (11), not etched under the winding;
 - a dielectric layer (3) between the winding and said resistive layer; and
 - discontinuous conductive sections (12), individually parallel to the closest portion of the winding, and electrically connected to ground and to said resistive layer.
2. The structure of claim 1, wherein said conductive sections (12) are majoritarily not arranged under projections of the winding (1).
3. The structure of claim 1, wherein each conductive section is placed as close as possible to the closest portion (13) of the winding (1).
4. The structure of claim 1, wherein each portion (13) of the winding is associated, along its length, to several conductive sections (12).
5. The structure of claim 1, wherein said conductive sections (12) are connected to a contact point (M) by several conductive tracks, each of the conductive tracks being arranged so that the resultant of the electromotive forces induced by the inductance is substantially null.
6. The structure of claim 5, wherein each of the conductive tracks substantially is an axis of symmetry of the inductance (1).
7. The structure of claim 1, wherein said conductive sections (12) are formed in a same metallic level as the track (1) forming an inductance.
8. The inductance structure of any of claims 1 to 7, wherein said resistive layer (11) has a doping level ranging between 10^{16} and 10^{19} atoms/cm³, preferably, on the order of 10^{17} atoms/cm³.

3 Detailed Description of Invention

Background Of The Invention**1. Field of the Invention**

The present invention relates to the field of integrated circuits, and more specifically to an inductance formed on a semiconductor substrate.

2. Discussion of the Related Art

Fig. 1 shows, in a very simplified perspective view, a first example of a conventional inductance 1 formed on a semiconductor substrate 2. Inductance 1 includes a number of generally concentric turns or spirals obtained by the deposition of a conductive element on an insulating layer (dielectric 3). The number of turns may also be smaller than 1. Insulating layer 3, for example silicon oxide, rests on semiconductor substrate 2, or on the penultimate metallization level (not shown) added on this substrate after forming of the other components, which are integrated (for example, transistors and the like). Substrate 2 is assumed to be grounded by its lower surface, to simplify the discussion.

Fig. 2 shows the equivalent electric diagram of inductance 1 of Fig. 1. Inductance 1 is symbolized in the form of a perfect inductance L in series with a resistor R_s between two terminals 5 and 6 corresponding to the ends of the winding of Fig. 1. Dielectric 3 forms stray capacitances C between the inductance and the substrate. Further, substrate 2 is resistive and it exhibits resistors R between its upper and lower surfaces. Resistors R ground each electrode of a capacitor C opposite to inductance L .

A disadvantage of an inductance such as illustrated in Fig. 1 is its high losses. When the inductance conducts a variable current, these losses occur via resistor R_s , capacitors C , and resistors R , and have the disadvantage of strongly decreasing the quality factor of the inductance. This quality factor depends on the resistive losses, that is, on series resistance R_s and on the resistance brought by the substrate to the ground connection.

A first solution to increase the quality factor of the inductance is to minimize its series resistance R_s . For this purpose, the width of the conductive track constituting of

planar inductance 1 has to be increased. This results in increasing the value of the stray capacitances of dielectric 3 and, accordingly, the resistive losses in the substrate. A compromise thus has to be made according to the operating frequency for which the inductance is intended.

Another known solution to increase the quality factor is described in European patent application EP-A-0,780,853, which is incorporated herein by reference. An inductance structure on a silicon substrate including a conductive plane located between the inductance and the substrate is provided therein. This conductive plane, isolated from the substrate and from the inductance, is connected to ground or to a cold point of the circuit, to establish a "shielding" or "electrostatic screen" between the inductance and the semiconductor substrate. To avoid dissipation by creation of eddy currents in the conductive plane, said application provides a cutting-up of this conductive plane.

A type of inductance with a conductive plane cut up according to an example of the above-mentioned application is illustrated in Fig. 3.

Fig. 3 shows, in a simplified perspective view, an inductance 1 formed, as previously, of one or several coplanar spirals made of a conductive material. Inductance 1 is separated from a conductive plane 7 by an insulating layer 8. Conductive plane 7 is itself deposited on an insulating layer (dielectric 3) resting on substrate 2 or on a metallization level. Conductive plane 7 is cut up in longitudinal strips 9 connected to a lateral strip 10. In the example illustrated in Fig. 3, longitudinal strips 9 are located on either side of inductance 1 by being connected to lateral end strips of conductive plane 7. The remaining conductive elements of plane 7 are grounded. The effect due to eddy currents is thus strongly decreased, but the structure of Fig. 3 has disadvantages.

A first disadvantage is that, for a general insulator thickness above substrate 2, the dielectric thickness available between the inductance and the conductive plane is reduced with respect to the case of Fig. 1.

Indeed, the conductive plane is:

either a metal layer or a polysilicon layer interposed between the inductance and the substrate, and thus reducing the dielectric thickness and increasing the stray capacitances between the inductance and the substrate or between the inductance and the conductive layer if said layer is grounded;

or a very heavily-doped layer, diffused in the silicon and the forming of which requires a dielectric etching (thick oxide (LOCOS) separating the active components from one another), and thus, in the end, a smaller dielectric thickness between the inductance and this diffused layer.

This results in an increase in the stray capacitances between the inductance and the ground while it is generally desired to minimize the value of the stray capacitance.

Another disadvantage of the structure provided in Fig. 3 is that, when inductance 1 is run through by a variable current, an electromotive force due to the inductive coupling existing between the strips and the inductance appears in each of strips 9. Similarly, an electromotive force due to the inductive coupling between lateral strip 10 and inductance 1 appears in this lateral strip. These electromotive forces cause losses. Indeed, each of the points of strips 9 and 10 is at a non-zero voltage with respect to the ground due to the induced electromotive forces and, thereby, losses occur via a capacitance due to layer 8 behaving as a dielectric and the ohmic resistance of the substrate. These ohmic capacitances and resistances are distributed variables, different at each point of conductive plane 7.

All these losses make the behavior of the structure of Fig. 3 unsatisfactory and lower quality factor Q of the inductance.

It should be noted that, for the solution provided by the above-mentioned European patent application to provide a result, the strips of the conductive plane needs to be, for the most part, located under the conductive track forming inductance 1.

The above-mentioned patent application provides other ways of cutting up the conductive plane (see Figs. 7, 9, and 12 of this application). However, in all the provided examples of said application, the inductance is, for the most part, on conductive strips and there remain conductive plane portions in which a high induced electromotive force causes the undesirable effect which has been described.

Summary Of The Invention

The present invention aims at providing a novel integrated circuit inductance structure which overcomes the disadvantages of known structures.

The present invention more specifically aims at providing a solution which

combines the advantages of a low stray capacitance and of a low ground access ohmic resistance.

The present invention also aims at providing a solution which reduces or minimizes the losses linked to the inductance operation and, in particular, which reduces or minimizes possible induced electromotive forces.

To achieve these objects as well as others, the present invention provides an integrated circuit inductance structure, including a silicon substrate, at least one planar winding of a conductive track, a resistive layer, not etched under the winding, a dielectric layer between the winding and said resistive layer, and discontinuous conductive sections, individually parallel to a portion of the winding which is the closest and electrically connected to ground and to said resistive layer.

According to an embodiment of the present invention, said conductive sections are, for the most part, not arranged under projections of the winding.

According to an embodiment of the present invention, each conductive section is placed as close as possible to the closest winding portion.

According to an embodiment of the present invention, each portion of the winding is associated, along its length, to several conductive sections.

According to an embodiment of the present invention, said conductive sections are connected to a contact point by several conductive tracks, each of the conductive tracks being arranged so that the resultant of the electromotive forces induced by the inductance is substantially null.

According to an embodiment of the present invention, each of the conductive tracks substantially is an axis of symmetry of the inductance.

According to an embodiment of the present invention, said conductive sections are formed in a same metallic level as the track forming an inductance.

According to an embodiment of the present invention, said resistive layer has a doping level ranging between 10^{16} and 10^{19} atoms/cm³, preferably, on the order of 10^{17} atoms/cm³.

The foregoing objects, features and advantages of the present invention will be discussed in detail in the following non-limiting description of specific embodiments in connection with the accompanying drawings.

Detailed Description

A feature of the present invention is to eliminate the use of a conductive plane under inductance 1. More specifically, the present invention provides using a resistive level to form the lower armature of the stray capacitance of the inductance, connected to ground. According to the present invention, this ground connection is performed by means of conductive tracks associated with the resistive level and which have the feature of being majoritarily not located above inductance 1.

Fig. 4 shows, in a simplified perspective view, an embodiment of an inductance structure according to the present invention.

As previously, inductance 1 is formed from a conductive track deposited in the form of a planar winding on an insulating layer 3. The structure of the present invention here resembles the structure of the conventional case of Fig. 1.

A feature of the present invention is to provide, under dielectric layer 3, a medium-doped semiconductor layer 11, generally more heavily doped than silicon substrate 2 on which it rests. The present invention here takes advantage of the presence,

in an integrated circuit structure, of a layer more heavily doped than the substrate. This generally is an epitaxial layer in which are formed heavily-doped regions used to form the sources and drains of MOS transistors, the emitters of bipolar transistors, NPN transistor collector wells (sinks).

The dielectric thickness between layer 11 and the inductance is maximum. The stray capacitance of the inductance is thus smaller than if an intermediary, metal or polysilicon layer, or a very heavily doped diffused layer, which requires a thick oxide etch (LOCOS), were used.

Fig. 5 is a partial cross-section view of an inductance structure according to the present invention and Fig. 6 shows the equivalent electric diagram of such a structure. This equivalent diagram can be deduced from the discussion of Fig. 4 and of Fig. 5 in which capacitive and resistive elements also have been symbolized.

Conventionally, dielectric layer 3 introduces capacitive elements C under spiral sections 13 of inductance 1. These capacitive elements connect each spiral section to layer 11. Layer 11 is discontinuously connected to ground by means of sections 12 arranged parallel to the sections of inductance 1 by not being above the spiral. Accordingly, layer 11 introduces lateral resistances R between each spiral section 13 and a grounding element 12. The different lateral resistances are associated in parallel as illustrated by Fig. 6. Accordingly, the resistivity of layer 11 due to its doping must be sufficiently low to be negligible in the parallel association of the lateral resistances with respect to the vertical resistance of the substrate. However, the compromise to be made is that, to avoid occurrence of eddy currents, resistance R must be sufficiently high since layer 11 is continuous.

According to the present invention, layer 11 is chosen to have a doping greater than 10^{15} atoms/cm³ corresponding to the substrate doping in BiCMOS technology, and smaller than 10^{20} corresponding to the doping of the NPN collector wells as well as of the sources and drains of MOS transistors or the emitters of NPN transistors. Preferably, layer 11 has a doping level ranging between 10^{16} and 10^{19} atoms/cm³, preferably on the order of 10^{17} atoms/cm³. Generally, the epitaxial layer or the N or P wells (in which are formed the elementary MOS transistors) formed with no etching of the thick oxide, which are provided to be used by the present invention, have a doping on the order of

from 10^{16} to 10^{17} atoms/cm³.

Another feature of the present invention is that conductive sections 12 having the function of connecting the lateral resistors to ground are, for the most part, arranged outside of the perpendicular to inductance 1, to avoid increasing its stray capacitance. It is however possible to provide sections 12 under the sections of the inductance.

As illustrated in Fig. 4, these conductive sections 12 are preferably narrow with respect to sections 13 constitutive of inductance 1.

An advantage of the present invention is that it takes advantage of the existence of an epitaxial layer in the integrated circuit structures providing an inductance.

Another advantage of the present invention is that it avoids use of a conductive level cut up above the spirals of inductance 1. Thus, the present invention enables maintaining a relatively high thickness of dielectric 3 for a given thickness of the integrated circuit multilayer.

Fig. 7 shows, in a simplified top view, an embodiment of the present invention more specifically illustrating a preferred grounding mode of the discontinuous sections 12 provided parallel to sections 13 of spiral 1.

In this embodiment, the length of conductive sections 12 does not extend on either side of the considered rectilinear spiral portion 13. Conductive sections 12 are preferentially distributed in the number of three per rectilinear spiral portion 13. A contact point M intended to be connected to ground is connected to a point O corresponding to the center of inductance 1 by a conductive track MO, which connects to point M the conductive sections 12 that it crosses. Various other conductive tracks cross point O and connect a small number of conductive sections 12. Thus, the extension of track MO, track ON, connects three elements 12. A track ROS perpendicular to track MON connects other sections. Similarly, tracks VOW and TOU, in diagonal on Fig. 7, connect the remaining conductive sections, which surround the summits of inductance 1.

Preferably, these conductive tracks have a minimum width, compatible with the maximum tolerable resistance that they can have.

It should be noted that the tracks of interconnection to ground and the sections surrounding the spiral portions are not limited to rectilinear segments but are arranged to efficiently connect sections 12.

It should also be noted that node O is common to all the interconnection tracks which, due to track OM, are all electrically connected to ground contact point M. In practice, track OM is wider than the other tracks to efficiently drain, if necessary, residual currents to the outside of the spiral.

The arrangement of the conductive tracks connecting sections 12 has been chosen so that the resultant of the electromotive forces induced in the conductive tracks is substantially null. The fact that conductive sections 12 have a small size practically solves the problem of eddy currents. Only the problems due to induced electromotive forces remain to be considered.

Generally, the electromotive force induced in a first conductor by a second conductor run through by a variable current i has value $e = -M \cdot di/dt$, M being the mutual inductance coefficient between the two conductors and di/dt the variation along time of current i running through the second conductor.

For two parallel rectilinear conductors, the mutual inductance coefficient is a function of the length of the conductors and of the distance separating them, M being all the higher as the length of the conductors increases and the distance between them is small. If the conductors are not parallel but form a certain angle, their mutual inductance coefficient is proportional to the cosine of the angle formed by the two conductors. Finally, when two conductors are perpendicular (their angle is 90°), the mutual inductance coefficient is zero.

Thus, to reduce electromotive forces induced in the conductive tracks and, accordingly, the losses undergone by inductance 1, three types of configuration are implemented as much as possible.

According to a first configuration, a conductive interconnection track (MON, ROS) is perpendicular to the spiral sections 13 that it crosses, which results in a null mutual inductance and an also null induced electromotive force.

According to a second configuration, each interconnection spiral is parallel to at least two spiral sections 13 and at equal distance between them. This amounts to placing these tracks at the center of each rectilinear spiral portion 13 and at the angles. Since each spiral of the inductance includes portions that conduct a current of the same absolute value and of reverse direction, the conductive tracks exhibit a mutual inductance

with spirals 13 formed of two components, one positive and the other one negative. These components subtract and exactly annul if the number of spiral portions is the same on each side.

According to a third configuration, used for the inductance summits, an interconnection track is arranged along the bisector of the angle formed by the spiral portions. These portions being run through by currents of opposite direction (respectively directed towards or opposite to the summit of the angle that it forms), the mutual inductance resulting from these spiral portions and the considered track or track portion is also null, as well as the resulting electromotive force induced in the considered track or track section.

Thus, due to the structure according to the present invention, the resultants of the electromotive forces induced in the various conductive tracks of connection to the ground of the plane more heavily doped than the substrate appear to be null or to be close to zero. In fact, if the inductance was perfectly symmetrical, the above-described structure would enable perfect compensation of the electromotive forces induced in conductive tracks MON, ROS, TOU, VOW.

Of course, the inductance structure illustrated in Fig. 7 is an example only of the present invention and is likely to have various alterations, modifications, and improvements which will readily occur to those skilled in the art. In particular, the example of the drawings shows a square inductance. Of course, the present invention may be applied whatever the shape of the inductance, provided to respect the use of a semiconductor layer more heavily doped than the substrate and discontinuous conductive sections 12 of connection of this layer to ground, these sections being preferentially, for the most part, not above the winding.

Further, if the inductance spirals are circular or in a spiral and have a center, a rectangular shape may be kept for conductive sections 12. They will however have a trapezoidal shape limited by radiuses having a center corresponding to the spiral center. However, these elements will be radially arranged and their connection to the center will be made by conductive tracks also radially arranged, such a perfectly symmetrical structure having minimum losses.

Further, although conductive sections 12 have been shown on layer 11, the

ground connections of layer 11 may be implemented by underlying sections. Similarly, the tracks of interconnection of sections 12 will be formed in an adapted level, the choice of which is within the abilities of those skilled in the art.

Finally, although the present invention has been described in relation with an inductance in a single plane, said inductance may be formed in several conductive levels connected in series or in parallel.

Such alterations, modifications, and improvements are intended to be part of this disclosure, and are intended to be within the spirit and the scope of the present invention. Accordingly, the foregoing description is by way of example only and is not intended to be limiting. The present invention is limited only as defined in the following claims and the equivalents thereto.

4 Brief Description of Drawings

Fig. 1, previously described, shows an inductance deposited on a conductive substrate according to prior art;

Fig. 2, previously described, shows the equivalent electric diagram of the inductance shown in Fig. 1;

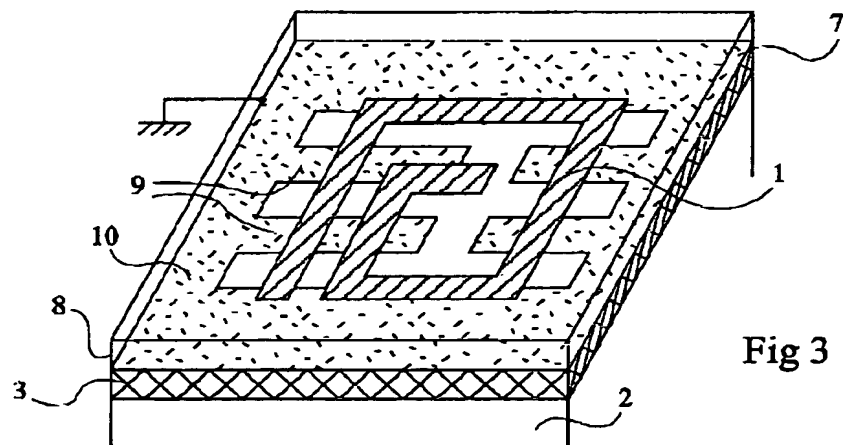
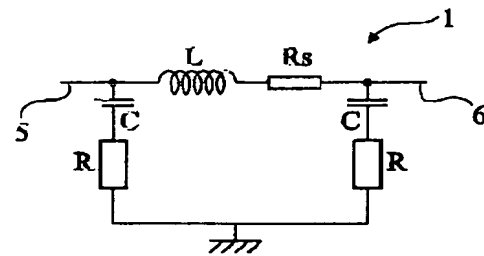
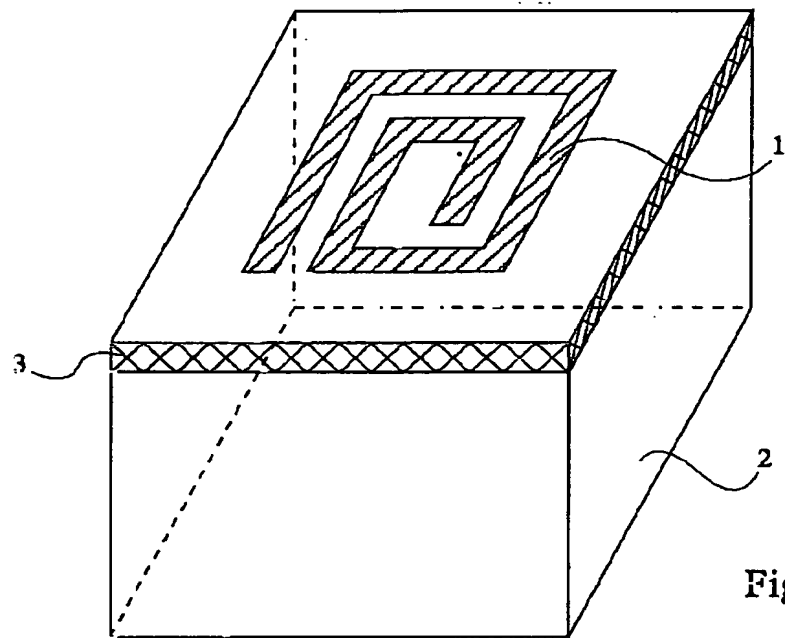
Fig. 3, previously described, shows another inductance structure deposited on a semiconductor substrate according to prior art;

Fig. 4 shows, in a simplified perspective view, an inductance structure according to an embodiment of the present invention;

Fig. 5 is a partial cross-section view of the inductance shown in Fig. 4;

Fig. 6 shows the equivalent electric diagram of the inductance structure of Fig. 4; and

Fig. 7 shows, in a top view, an inductance structure according to a preferred embodiment of the present invention.



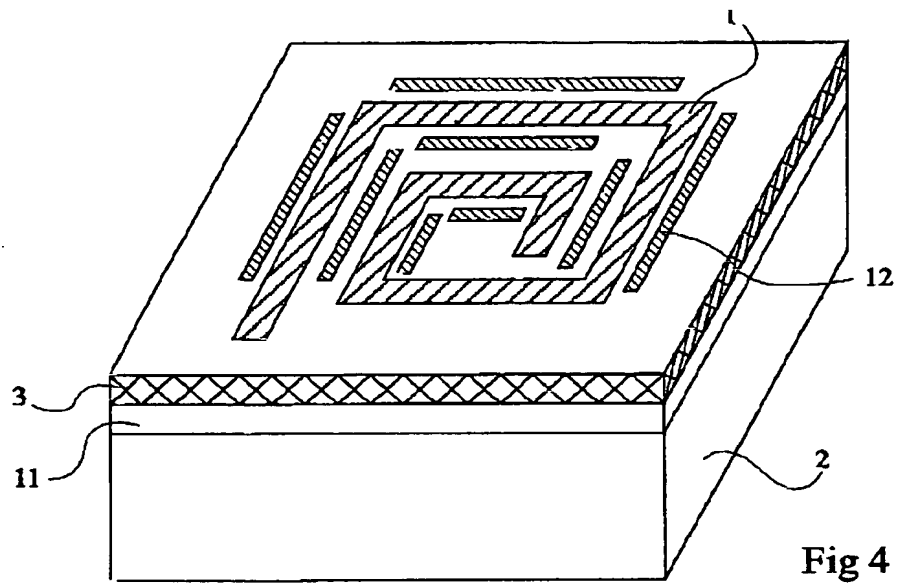


Fig 4

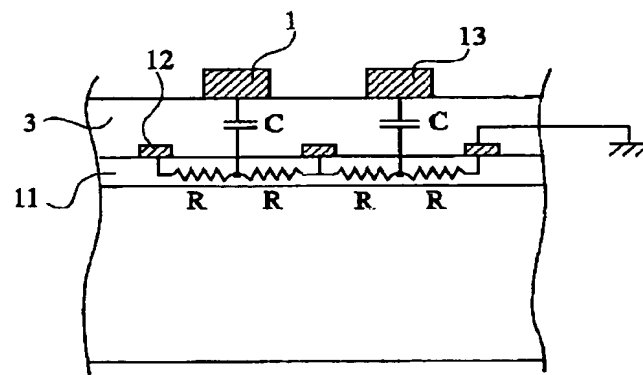


Fig 5

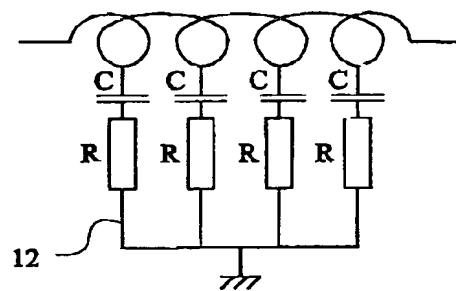


Fig 6

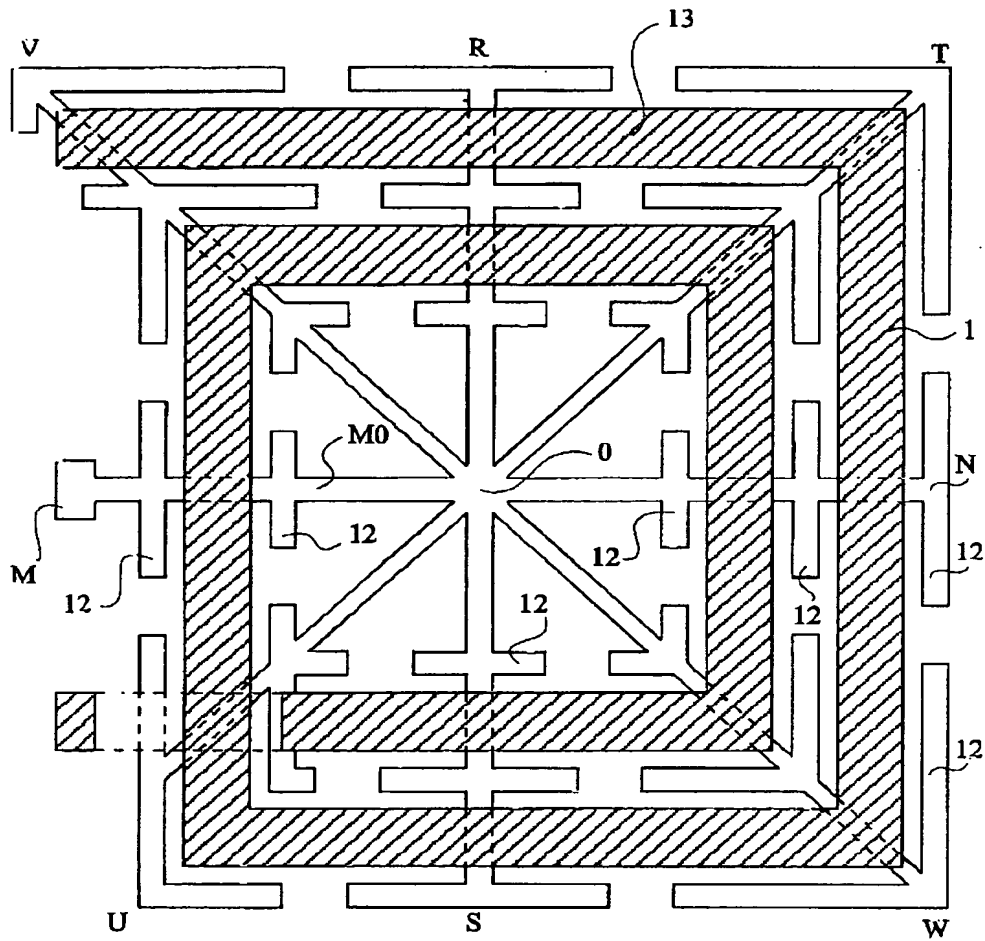


Fig 7

1 Abstract

An integrated circuit inductance structure, including a silicon substrate, a planar winding of a conductive track, a resistive layer, not etched under the winding, a dielectric layer between the winding and said resistive layer, and discontinuous conductive sections, individually parallel to a portion of the winding which is the closest and electrically connected to ground and to the more heavily-doped layer.

2 Representative Drawing

Fig. 4